



(12)发明专利申请

(10)申请公布号 CN 111179819 A
(43)申请公布日 2020.05.19

(21)申请号 202010109311.7

(22)申请日 2020.02.22

(71)申请人 禹创半导体(广州)有限公司
地址 510700 广东省广州市黄埔区金中路
23号自编一栋办公区303房

(72)发明人 陈廷仰 廖志洋

(74)专利代理机构 东莞领航汇专利代理事务所
(普通合伙) 44645
代理人 高辉

(51) Int. Cl.
G09G 3/32(2016.01)

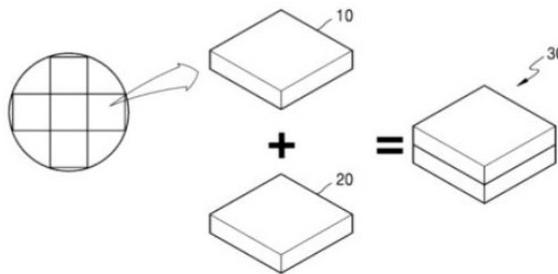
权利要求书2页 说明书12页 附图8页

(54)发明名称

一种像素及包括此像素的micro LED显示装置

(57)摘要

本发明公开了一种像素,包括第一像素电路和第二像素电路。第一像素电路包括:包括发光元件和与所述发光元件相连接的像素电路,构成一个帧的多数子帧各自包括数据记录期间和发光期间,所述像素电路在各子帧上记录所述数据期间,在构成m比特数据的比特列的m个比特中,与相比m个更小的n个比特组合生成的多数n比特数据的比特列中,接收和保存对应比特列的存储器;和在各子帧的所述发光期间,包括所述被保存的对应比特列的n个比特值和基于n个时钟信号生成控制信号的控制器。本发明micro LED显示装置不仅节能,同时具备良好匹配特性的,同时可将micro LED显示装置各子帧之间的时间差最小化,以实现小尺寸像素电路。



1. 一种像素,其特征在于,在包括发光元件和与所述发光元件相连接的像素电路的像素中,构成一个帧的多数子帧各自包括数据记录期间和发光期间,

所述像素电路,在各子帧上记录所述数据期间,在构成 m 比特数据的比特列的 m 个比特中,在与相比 m 个更小的 n 个比特组合生成的多数 n 比特数据的比特列中,接收和保存对应比特列的存储器,和在各子帧的所述发光期间,所述被保存的对应比特列的 n 个比特值和基于 n 个时钟信号生成控制信号的控制器等,包括所述各项为特点的第一像素电路;以及

包括在各子帧的所述发光期间,回应所述控制信号后将所述发光元件的发光和非发光进行调整的第二像素电路;

所述 n 比特数据的比特列个数与所述子帧个数相同;

各子帧的发光时间是在向对应比特列的各比特分配的时间之合;

所述 n 比特数据是在所述多数子帧的发光时间差异最小的所述 m 个比特中,与各 n 个比特组合的像素。

2. 根据权利要求1所述的像素,其特征在于,所述 n 是 $(m/2)+1$ 或 $(m/2)-1$,所述 n 比特数据的比特列中的两个比特列,在所述 m 比特数据的比特列中至少将一个特定比特做为共同比特来包括其中,向所述共同比特分配的时间,在所述 m 比特数据的比特列中,所述特定比特分配时间的一半像素。

3. 根据权利要求1所述的像素,其特征在于,所述 n 是 $m/2$,所述 n 比特数据的比特列,并不包括所述 m 个比特中相同位置的比特,所述 n 比特数据的比特列为各自与各比特分配时间之合相互近似的像素。

4. 根据权利要求1所述的像素,其特征在于,所述第一像素电路,输出驱动电流的第一晶体管;根据所述控制信号将所述驱动电流向所述发光元件传达或断开的第二晶体管;以及将所述控制信号的电压等级进行转换的电平移器,包括以上各项的像素。

5. 一种micro LED显示装置,其特征在于,发光元件及包括与所述发光元件相连接像素电路,排列多数像素的像素部;在构成 m 比特数据的比特列的 m 个比特中,通过相比 m 个更小的 n 个比特组合生成多数 n 比特数据的比特列后,在向构成一个帧的多数子帧各自输出所述多数 n 比特数据的比特列中,将与此相对应比特列向所述像素进行输出的数据驱动部;以及包括数据记录期间和发光期间后每个子帧与所述对应比特列的各比特相对应后,向像素供给时钟信号的时钟生成部,所述像素的像素电路,在各子帧上记录所述数据期间,接收并保存所述对应比特列,在各子帧的所述发光期间,所述被保存的对应比特列的 n 个比特值和基于 n 个时钟信号生成控制信号的第一像素电路;以及包括在各子帧的所述发光期间,回应所述控制信号后将所述发光元件的发光和非发光进行调整的第二像素电路,所述 n 比特数据的比特列个数与所述子帧个数相同,各子帧的发光时间是在向对应比特列的各比特分配的时间之合,所述 n 比特数据是在所述多数子帧的发光时间差异最小的所述 m 个比特中,各 n 个比特的组合的micro LED显示装置。

6. 根据权利要求5所述的像素,其特征在于,所述 n 是 $(m/2)+1$ 或 $(m/2)-1$,所述 n 比特数据的比特列中的两个比特列,在所述 m 比特数据的比特列中至少将一个特定比特做为共同比特来包括其中,向所述共同比特分配的时间,在所述 m 比特数据的比特列中所述特定比特分配时间的一半micro LED显示装置。

7. 根据权利要求5所述的像素,其特征在于,所述 n 是 $m/2$,所述 n 比特数据的比特列,并

不包括所述m个比特中相同位置的比特,所述n比特数据的比特列各自与各比特分配时间之合相互近似的micro LED显示装置。

一种像素及包括此像素的micro LED显示装置

技术领域

[0001] 本发明涉及一种micro LED显示装置,具体是一种像素及包括此像素的micro LED显示装置。

背景技术

[0002] 随着信息化社会发展,对micro LED显示装置的要求不断增加,液晶micro LED显示装置(Liquid Crystal Display Device)、等离子micro LED显示装置(Plasma Display Device)、有机发光micro LED显示装置(Organic Light Emitting Display Device)等各种类型的micro LED显示装置广泛被应用。最近对利用微型发光二极管(μ LED)的高分辨率micro LED显示装置(下称“微型micro LED显示装置”)的关注度不断增加。

[0003] 为充分体现VR(Virtual Reality)、AR(Augmented Reality)、MR(Mixed Reality)技术,需要一种更加优秀的micro LED显示装置特性,随之micro LED on Silicon或AMOLED on Silicon的开发正处于增加趋势,特别是为实现高分辨率画质,对像素尺寸最小化方面的要求不断增加中。

发明内容

[0004] 本发明的目的在于提供一种像素及包括此像素的micro LED显示装置,以解决所述背景技术中提出的问题。

[0005] 为实现所述目的,本发明提供如下技术方案:

一种像素,包括第一像素电路和第二像素电路。第一像素电路包括:包括发光元件和与所述发光元件相连接的像素电路,构成一个帧的多数子帧各自包括数据记录期间和发光期间,所述像素电路在各子帧上记录所述数据期间,在构成m比特数据的比特列的m个比特中,与相比m个更小的n个比特组合生成的多数n比特数据的比特列中,接收和保存对应比特列的存储器;和在各子帧的所述发光期间,包括所述被保存的对应比特列的n个比特值和基于n个时钟信号生成控制信号的控制电路。第二像素电路包括:在各子帧的所述发光期间,回应所述控制信号后将所述发光元件的发光和非发光进行调整的第二像素电路。

[0006] 所述n比特数据的比特列个数与所述子帧个数相同,各子帧的发光时间是在向对应比特列的各比特分配的时间之合,所述n比特数据是在所述多数子帧的发光时间差异最小的所述m个比特中,各n个比特的组合。

[0007] 一实施例中,所述n是 $(m/2)+1$ 或 $(m/2)-1$,所述n比特数据的比特列中的两个比特列,在所述m比特数据的比特列中至少将一个特定比特做为共同比特来包括其中,向所述共同比特分配的时间,可以是在所述m比特数据的比特列中向所述特定比特分配时间的一半。

[0008] 一实施例中,所述n是 $m/2$,所述n比特数据的比特列,并不包括所述m个比特中相同位置的比特,向所述n比特数据的比特列的各自比特分配的时间之合可以是相似。

[0009] 所述第一像素电路包括:输出驱动电流的第一晶体管;根据所述控制信号将所述驱动电流向所述发光元件传达或断开的第二晶体管;以及将所述控制信号的电压等级进行

转换的电平移位器。

[0010] 本发明一实施例的micro LED显示装置可以包括：发光元件及包括与所述发光元件相连接像素电路，排列多数像素的像素部；在构成m比特数据的比特列的m个比特中，通过相比m个更小的n个比特组合生成多数n比特数据的比特列后，在向构成一个帧的多数子帧各自输出所述多数n比特数据的比特列中，将与此相对应比特列向所述像素进行输出的数据驱动部；以及包括数据记录期间和发光期间的每个子帧，对应于所述比特列的各比特，向像素供给时钟信号的时钟生成部。

[0011] 所述像素的像素电路包括第一像素电路和第二像素电路。第一像素电路包括：在各子帧上记录所述数据期间，接收并保存所述对应比特列，在各子帧的所述发光期间，所述被保存的对应比特列的n个比特值和基于n个时钟信号生成控制信号。第二像素电路包括：在各子帧的所述发光期间，回应所述控制信号后将所述发光元件的发光和非发光进行调整的第二像素电路。

[0012] 所述n比特数据的比特列个数与所述子帧个数相同，各子帧的发光时间是在向对应比特列的各比特分配的时间之合，所述n比特数据是在所述多数子帧的发光时间差异最小的所述m个比特中，各n个比特的组合。

[0013] 一实施例中，所述n是 $(m/2)+1$ 或 $(m/2)-1$ ，所述n比特数据的比特列中的两个比特列，在所述m比特数据的比特列中至少将一个特定比特做为共同比特来包括其中，向所述共同比特分配的时间，可以是在所述m比特数据的比特列中向所述特定比特分配时间的一半。

[0014] 一实施例中，所述n是 $m/2$ ，所述n比特数据的比特列，并不包括所述m个比特中相同位置的比特，向所述n比特数据的比特列的各自比特分配的时间之合可以是相似。

[0015] 与现有技术相比，本发明的有益效果是：本发明micro LED显示装置不仅节能，同时具备良好匹配特性的，同时可将micro LED显示装置的各子帧之间的时间差最小化，以实现小尺寸像素电路。

附图说明

[0016] 图1是本发明一实施例的micro LED显示装置制造工序概略示意图。

[0017] 图2和图3是本发明一实施例的micro LED显示装置概略示意图。

[0018] 图4是本发明一实施例的数据分割说明图。

[0019] 图5是本发明一实施例的向比特分配时间实例示意图。

[0020] 图6是本发明一实施例的电流供给部的电路示意图。

[0021] 图7是本发明一实施例的像素(PX)电路示意图。

[0022] 图8是本发明另一实施例的像素驱动说明图。

[0023] 图9是本发明一实施例的比特数据分割说明图。

[0024] 图10是根据图9实施例的时钟信号驱动时间说明图。

[0025] 图11是本发明另一实施例的比特数据分割说明图。

[0026] 图12是根据图11实施例的时钟信号驱动时间说明图。

[0027] 图13是本发明另一实施例的比特数据分割说明图。

[0028] 图14是根据图13实施例的时钟信号驱动时间说明图。

具体实施方式

[0029] 对本发明可以进行各种变化,也可拥有各种实施例,在此将参考附图的特定实施例将进一步详细说明。本发明的效果、特点和实现发明目的的方式等,如参考附图和后面叙述的实施例时会更加明确。但在本发明下进行的实施例并非局限与此,也可以用各种方式体现。

[0030] 下面参考附图详细说明本发明的实施例,在参考附图进行说明时,对于相同或同等构成因素分配了相同图号,且省略了对重复内容的描述。

[0031] 在以下实施例中,第一、第二等术语并非限制于某一种含义,而是将单一构成因素与其它构成因素进行区分的目的来使用。另外,在以下实施例中,对于单数的表述除非文脉上明确地指向其它含义以外,将包括多数表述。

[0032] 在以下实施例中,如描述为X和Y相连接,可以包括:X和Y电连接的情况、X和Y功能性连接的情况、X和Y直接连接的情况。在此,X、Y也可以是对象物(例如,装置、元件、电路、配线、电极、端子、导电膜、层等)。因此,所定的连接关系并不局限于附图或详细说明中提到的连接关系,例如,也可以包括附图或详细说明中提到的连接关系以外的情况。

[0033] 在X和Y电连接的情况下,可以包括:例如,在X和Y之间用于电连接X和Y的元件(例如,开关、晶体管、容量元件、电感器、阻力单位、二极管等)1个以上相连接的情况。

[0034] X和Y功能相连接的情况可以包括:如同从X输出的信号向Y传达的原理,能够实现X和Y功能连接的电路(例如,逻辑电路(OR栅、逆变器),信号转换电路(AD转换电路、伽玛校正电路等)、电位水平转换电路(电平移位器电路等)、电流供给电路、放大电路(放大信号振幅或电流量等的电路)、信号生成电路、记忆电路(存储器等)等,在X和Y之间1个以上相连接的情况。

[0035] 在以下实施例中,与元件状态关联起来使用的“ON”指的是元件被激活的状态,“OFF”指的是元件没有被激活的状态。与通过元件接收的信号关联起来使用的“ON”指的是激活元件的信号,“OFF”指的是非激活元件的信号。元件可以被高电压或低电压激活。例如,P型晶体管可以被低电压激活,N型晶体管可以被高电压激活。因此,对于P型晶体管和N型晶体管的电压“ON”,应该理解为相反(低对高)电压等级。

[0036] 在以下实施例中,包括或具备等术语并非意味着说明书中所记载的特点,或存在构成因素,且并非意味着提前排除能够添加一个以上特点或构成因素的可能性。

[0037] 图1是本发明一实施例的micro LED显示装置制造工序概略示意图。

[0038] 如图1所示,本发明一实施例的micro LED显示装置30可以包括:发光元件数组10和驱动电路基板20。发光元件数组10可以与驱动电路基板20相结合。

[0039] 发光元件数组10可以包括多数发光元件。发光元件可以是发光二极管LED。半导体晶圆SW上可以生长多数发光二极管,以制造至少一个发光元件数组10。因此,无需将发光二极管个别向驱动电路基板20移送的情况下,可将发光元件数组10与驱动电路基板20相结合的方式制造micro LED显示装置30。

[0040] 在驱动电路基板20可以排列各自与发光元件数组10上的发光二极管相对应的像素电路。发光元件数组10上的发光二极管和驱动电路基板20上的像素电路在电连接后可以构成像素PX。

[0041] 图2和图3是本发明一实施例的micro LED显示装置概略示意图。

[0042] 如图2和图3所示,micro LED显示装置30可以包括像素部110和驱动部120。

[0043] 像素部110可使用能够显示1至2m灰度的m比特数字图像信号显示图像。像素部110所定形式可以包括:例如,矩阵形、之字形等以各种形式排列的多个像素PX。像素PX会发射一种颜色,例如,在红色、青色、绿色、白色中可发射一种颜色。像素PX除了红色、青色、绿色、白色以外也可以发射其它颜色。

[0044] 像素PX可以包括发光元件。发光元件也可以是子发光元件。例如,发光元件可以是发光二极管LED。发光元件可以是微型或纳米单位尺寸的发光二极管LED。发光元件可以发出单一峰值波长的光,也可以发出多数峰值波长的光。

[0045] 像素PX可以进一步包括与发光元件相连接的像素电路。像素电路可以包括:至少一个薄膜晶体管 and 至少一个电容器等。像素电路可以以基板上的半导体叠层结构来实现。

[0046] 像素PX能够以帧单位进行动作。单一帧(Frame)能够以多数子帧构成。各子帧可以包括数据记录期间和发光期间。数据记录期间可向像素PX施加所定比特的数字数据后进行保存。发光期间保存的所定比特的数字数据与时钟信号同步读取,数字数据转换为PWM信号后像素PX可以表现出色阶。子帧的发光时间可以是向各比特分配的数字数据之合。

[0047] 驱动部120可以驱动和控制像素部110。驱动部120可以包括:控制部121、伽玛设置部123、数据驱动部125、电流供给部127以及时钟生成部129。

[0048] 控制部121从外部例如,图形控制器获得一个帧的输入图像数据DATA1,并从伽玛设置部123获得补正值后,利用补正值在输入图像数据DATA1进行伽玛补正,以生成补正图像数据DATA2。

[0049] 图4是本发明一实施例的数据分割说明图,图5是本发明一实施例的向比特分配时间实例示意图。

[0050] 如图4所示,控制部121从一个帧的补正图像数据DATA按照各像素PX提取色阶,并将已提取色阶转换为事前确定的一定比特数例如,m比特的数字数据。

[0051] 控制部121可以将m比特数据分割成相比p个m更小的n比特数据。在此,p可以是子帧个数。p可以比n更小。控制部121在构成m比特数据的比特列的m个比特中,在组合比m个更小的n个比特后,可以生成多数n比特数据的比特列。如一个帧以两个子帧构成时,控制部121可以从m比特数据的比特列生成两个n比特数据的比特列。

[0052] 比特列的分割和分配方面的详细内容在往后说明。

[0053] m比特数据可以是在从第一位Most Significant Bit、MSB到最低位比特Least Significant Bit、LSB内包括m个比特值的比特列。比特值可以拥有第一逻辑等级和第二逻辑等级中的任意一个。第一逻辑等级和第二逻辑等级可以各自为高等级和低等级。或者,第一逻辑等级和第二逻辑等级可以各自为低等级和高等级。

[0054] 如图5所示,向m比特数据的各比特设置的时间可以不相同。例如,向第一位MSB分配最长的第一时间 $T/2$,向第二位MSB-1分配第二时间 $T/2^2$ 的方式,可向最低位比特LSB分配最短的第m时间 $T/2^m$ 。向m比特数据的各比特分配的时间之合可以与各自向一个帧分配的时间T相同或近似。

[0055] 一实施例中,n可以是 $m/2+1$ 或 $m/2-1$ 。n比特数据的比特列中两个比特列在m比特数据的比特列中至少将一个特定比特做为共同比特来包括其中。向共同比特分配的时间,可以是在m比特数据的比特列向特定比特分配时间的一半。例如,p为2时,控制部121可将10比

特数据分割成两个6比特数据或三个4比特数据。两个6比特数据各自在10比特的第一位MSB以及第二位MSB-1中至少一个做为共同比特来包括其中。向两个6比特数据共同比特分配的时间可以是向10比特的第一位MSB及/或第二位MSB-1分配时间的一半。在三个4比特数据中的两个4比特数据可将各自10比特的第一位MSB以及第三位MSB-2中至少一个做为共同比特来包括其中。向两个6比特数据共同比特分配的时间可以是向10比特的第一位MSB及/或第二位MSB-1分配时间的一半。

[0056] 在另一实施例中， n 可以是 $m/2$ 。 n 比特数据的比特列并不包括 m 个比特中相同位置的比特，向 n 比特数据的比特列的各比特分配的时间之合可以相似。例如， p 为2时，控制部121可将10比特数据分割成两个5比特数据。此时，两个5比特数据的各比特不予相重复。

[0057] 控制部121将被分割的 p 个 n 比特数据向 p 个子帧进行分配后，可以向数据驱动部125输出。子帧的时间长度可以与向 n 比特数据的各比特分配的时间之合相同。向 n 比特数据的各比特分配的时间可以是在 m 比特数据的比特列向对应位置分配的时间或其一半。多数子帧时间可以相同或也可以不相同。控制部121为使多数子帧的时间差异特别是，多数子帧的发光时间差异最小化，将 m 比特数据的比特进行组合后可以生成多数 n 比特数据。控制部121在 m 比特数据中分配最长时间的第一位MSB、第二位MSB-1以及第三位MSB-2中至少向一个分配的时间进行分割后，可以生成多数 n 比特数据。

[0058] 伽玛设置部123利用伽玛曲线设置伽玛值，并根据预设伽玛值设置图像数据补正值后，向控制部121输出补正值。伽玛设置部123可以独立于控制部121具备单独电路，也可包括在控制部121中。

[0059] 数据驱动部125在从控制部121接收子帧单位 m 比特数据后，向像素部110的各像素PX传达。

[0060] 数据驱动部125可以包括行缓冲器line buffer和移位寄存器电路。行缓冲器可以是1行缓冲器或2行缓冲器。数据驱动部125以线单位行单位向每子帧的各像素提供 n 比特数据。

[0061] 电流供给部127可以生成和供给各像素PX的驱动电流。电流供给部127的构成参考图6在往后说明。

[0062] 时钟生成部129在一个帧期间，可以生成每子帧 n 个时钟信号后向像素PX输出。 n 个时钟信号可以与向 m 比特数据的各比特相对应的方式输出。时钟信号宽度长度或ON时间根据向 m 比特数据的各比特分配的时间来决定。时钟生成部129可以在每子帧向时钟线CL顺次供给 n 个时钟信号。

[0063] 驱动部120的各构成因素可以各自以独立集成电路芯片或单一集成电路芯片的方式形成后，在形成像素部110的基板上直接进行安装，也可附着于软性基板电路(flexible printed circuit film)上面或以TCP(tape carrier package)方式附着于基板，或直接形成于基板中。一实施例中，控制部121、伽玛设置部123、数据驱动部125可以以集成电路芯片方式与像素部110相连接，电流供给部127以及时钟生成部129可以在基板直接形成。

[0064] 图6是本发明一实施例的电流供给部的电路示意图。

[0065] 如图6所示，电流供给部127可以包括：第一晶体管51、第二晶体管53、运算放大器Operational Amplifier55以及可变电阻57。

[0066] 第一晶体管51与栅像素PX相连接,第一端子与电源电压VDD供给源相连接,第二端子与栅以及第二晶体管55的第一端子相连接。

[0067] 第二晶体管53中栅与运算放大器55的输出端相连接,第一端子与第一晶体管51的第二端子相连接,第二端子与运算放大器55的第二输入端-相连接。

[0068] 运算放大器55的第一输入端+与标准电压Vref的供给源相连接,第二输入端-与可变电阻57和相连接。运算放大器55的输出端与第二晶体管53的栅相连接。在向第一输入端+施加标准电压Vref时,将根据第一输入端+和第二输入端-和输出端之间电压差异的输出端电压,第二晶体管53被接通或断开。

[0069] 可变电阻57可根据来自控制部121的控制信号SC确定电阻值。根据可变电阻57的电阻值变更运算放大器55的输出端电压,并确定通过电源电压VDD接通后流经第一晶体管51和第二晶体管53的电流Iref。

[0070] 电流供给部127在像素PX内将构成晶体管和电流镜像,并向像素PX供给与电流Iref相对应的驱动电流。驱动电流可以确定像素部110的整个亮度。

[0071] 在前述实施例中,图示了电流供给部127由P型晶体管构成的第一晶体管51以及由N型晶体管构成第二晶体管53等实例,但本发明的实施例并非局限与此,也可将第一晶体管51以及第二晶体管53以其它方式的晶体管来实现,并构成与此相对应的计算放大器后,形成电流供给部127。

[0072] 图7是本发明一实施例的像素PX电路示意图。

[0073] 如图7所示,像素PX可以包括:包括发光元件ED以及与此相连接的第一像素电路40和第二像素电路50等在内的像素电路。第一像素电路40可以是低电压驱动电路,第二像素电路50可以是高压驱动电路。第一像素电路40可以用多数逻辑电路来实现。

[0074] 发光元件ED以一个帧期间内每个子帧从数据驱动部125获得的图像数据比特值逻辑等级为基础,选择性发光或非发光,从而在一个帧内调整发光期间,以显示色阶。

[0075] 第一像素电路40将在每个子帧的数据记录期间从数据驱动部125施加的n比特数据的比特值进行保存,并在发光期间基于n个比特值和n个时钟信号生成第一PWM信号。第一像素电路40可以包括PWM控制器401和存储器403。

[0076] PWM控制器401在发光期间,基于从时钟生成部120输入的时钟信号CK和从存储器403读取的图像数据比特值生成第一PWM信号。PWM控制器401在从时钟生成部120输入时钟信号时,在从存储器403读取相对应的图像数据比特值后,可以生成第一PWM信号。

[0077] PWM控制器401基于子帧单位图像数据比特值和时钟信号宽度,可以控制第一PWM信号的脉冲宽度。例如,图像数据比特值为1时,将开启相当于时钟信号宽度的PWM信号脉冲输出,图像数据比特值为0时,将关闭相当于时钟信号宽度的PWM信号脉冲输出。即,PWM信号脉冲输出的开启时间和脉冲输出的关闭时间可由时钟信号宽度信号长度来决定。PWM控制器401可以包括由一个或多数晶体管组成的一个或多数逻辑电路例如,OR栅电路等。

[0078] 存储器403与子帧的开始信号同步后,在每个子帧的数据记录期间,可以事前接收和保存由数据驱动部125通过数据线DL施加的n比特数据。对于固定图像,在图像升级或刷新前,事前在存储器403中保存的图像数据在多数帧期间可以连续应用于图像显示中。

[0079] n比特数据的比特值逻辑等级可以按照所定顺序从数据驱动部125向存储器403输入。存储器403至少可以保存1比特数据。一实施例中,存储器403可以是n比特存储器。存储

器403在子帧的数据记录期间可以记录n比特数据n个比特值。存储器403可以以一个或多个晶体管构成。存储器503可以以随机存取存储器RAM构成,例如,可以以SRAM或DRAM构成。

[0080] 向存储器403施加未经转换的m比特数据时,存储器403因需要用于保存m比特数据容量,可能成为像素小型化的制约因素。如存储器403为1比特时,像素需要用多数子帧来驱动,从而导致驱动频率增加,驱动频率的增加将会导致耗电量增加,因此对于使用电池的产品来说可能成为制约因素。另外向每个子帧分配不同的时间。相反,本发明的实施例中的存储器403使用了比m比特更小的n比特存储器,从而减少了存储器容量,也可缩小像素尺寸。另外,使用n比特存储器,相比1比特存储器可以减少子帧数量,从而可以适当地保持驱动频率。

[0081] 第二像素电路50在一个帧期间,对于第一像素电路40向各多数子帧施加的控制信号进行回应,以调整发光元件ED的发光和非发光状态。控制信号可以是PWM信号。第二像素电路50可以包括与电流供给部127电连接的第一晶体管501、第二晶体管503和电平移位器505。

[0082] 第一晶体管501可以输出驱动电流。第一晶体管501中,栅与电流供给部127相连接,第一端子与电源电压VDD供给源相连接,第二端子与第二晶体管503的第一端子相连接。第一晶体管501的栅与电流供给部127的第一晶体管51的栅相连接,以构成电流供给部127和电流镜像电路。由此电流供给部127的第一晶体管51被接通后,向所述被接通的第一晶体管501供给与在电流供给部127形成电流Iref相对应的驱动电流。驱动电流可以与流经电流供给部127的电流Iref相同。

[0083] 第二晶体管503根据PWM信号,可以向发光元件ED传达或切断驱动电流。第二晶体管503中栅与电平移位器505的输出端相连接,第一端子与第一晶体管501的第二端子相连接,第二端子与发光元件ED相连接。

[0084] 第二晶体管503根据从电平移位器505输出的电压,可以被接通或断开。根据第二晶体管503的接通或断开时间,可以调整发光元件ED的发光时间。第二晶体管503在向栅施加导通电平信号图7的实施例中,低电平时被接通后,向发光元件ED传达由第一晶体管501输出的驱动电流Iref,以使发光元件ED发光。第二晶体管503在向栅施加断开电平信号图7的实施例中,高电平时被断开后,向发光元件ED传达由第一晶体管501输出的驱动电流Iref将被切断,以使发光元件ED非发光。一个帧期间,根据第二晶体管503的接通时间和断开时间,控制发光元件ED的发光时间和非发光时间,以表现像素部110的色深(Color Depth)。

[0085] 电平移位器505与第一像素电路40的PWM(Pulse Width modulation)控制器401的输出端相连接后,将由PWM控制器401输出的第一PWM信号的电压等级进行转换后生成第二PWM信号。电平移位器505可以生成:接通第一PWM信号和第二晶体管503的导通电压等级信号和,转换为能够断开第二晶体管503的断开电平信号的第二PWM信号。如用PWM控制器401输出的第一PWM信号足够驱动第二晶体管503,可以省略电平移位器505。

[0086] 由电平移位器505输出的第二PWM信号的脉冲电压等级可以相比第一PWM信号的脉冲电压等级高,电平移位器505可以包括提高输入电压的升压电路。电平移位器505可以以多数晶体管构成。

[0087] 根据第一PWM信号的脉冲宽度来决定一个帧期间第二晶体管503的接通时间和断开时间。

[0088] 图7的实施例中,电流供给部127虽然与一个像素PX相连接,但电流供给部127可以由多个像素PX共享。例如,如图8所示,电流供给部127的第一晶体管51与像素部110的所有像素PX各自的第一晶体管501和电连接后,构成电流镜像电路。在另一实施例中,每行具备电流供给部127,各行的电流供给部127可以由同一行的多个像素PX共享。

[0089] 前述实施例中图示了像素以P型晶体管构成的实施例,但这并不限于本发明的实施例,也可用N型晶体管构成像素,此时像素可以被向P型晶体管施加的信号的电平反转信号来驱动。

[0090] 图9是本发明一实施例的比特数据分割说明图,图10是本发明一实施例的时钟信号驱动时间说明图。图10是向第一行施加的时钟信号驱动时间。

[0091] 如图9和图10所示,一个帧由两个子帧构成,在各子帧中,由10比特数据被分割后生成的两个6比特数据来生成PWM信号。

[0092] 如图9所示,像素PX的10比特数据的比特列1011100110的最左侧比特的1为MSB,最右侧比特的0为LSB。10比特数据可以被分割成两个6比特数据多个比特列。通过多数比特组合,可将第一子帧SF1的时间和第二子帧SF2的时间差异,具体说可将第一子帧SF1的发光时间ET和第二子帧SF2的发光时间ET的差异最小化。

[0093] 第一个6比特数据是10比特数据MSB*/MSB-1*/MSB-2/MSB7/MSB-8/LSB的组合101110。第二个6比特数据是10比特数据MSB*/MSB-1*/MSB-3/MSB-4/MSB-5/MSB-6的组合101100。在此,"*"表示向相关比特分配相当于从10比特数据分配时间的一半 $1/2$ 。即,第一个6比特数据及第二个6比特数据最左侧比特的1指10比特数据第一位MSB的1,是来自于10比特数据相同位置的共同比特,各分配相当于向MSB分配时间的一半。同样,第一个6比特数据及第二个6比特数据第二个左侧比特的0是10比特数据第二位MSB-1的0,是来自于10比特数据相同位置的共同比特,各分配相当于向MSB1分配时间的一半。

[0094] 第一个左侧6比特数据是第一子帧SF1的图像数据,第二个右侧6比特数据是第二子帧SF2的图像数据。

[0095] 如图10所示,像素PX可以用一个帧的每个子帧的数据记录期间DT和发光期间ET来驱动。发光期间ET的ON Time是子帧的时间主体,因此以下子帧的时间和发光期间可以混用。第一子帧的时间和第二子帧的时间虽然不同,但可以近似。

[0096] 在第一子帧SF1的数据记录期间DT,可在像素PX内存储器503记录保存来自数据驱动部125的n比特数据的比特值。即,在像素PX内存储器503可以记录图9的第一个6比特数据的比特列101110。

[0097] 在第一子帧SF1的发光时间ET,与6比特数据同步后,可向PWM控制器501施加第一至第六时钟信号CK1至CK6,PWM控制器501以在存储器503中记录的6比特数据的比特值和第一至第六时钟信号CK1至CK6为基础生成PWM信号。

[0098] 第一子帧SF1的第一至第六时钟信号CK1至CK6可以与各自向6比特数据的各比特分配的时间同一时间来施加。例如,第一时钟信号CK1以向MSB分配时间 $T/2$ 的一半 $1/2 \times T/2$ 的期间内施加,第二时钟信号CK2以向MSB-1分配时间 $T/2$ 的一半 $1/2 \times T/2$ 的期间内施加,第三时钟信号CK3以向MSB-2分配时间 $T/2$ 的期间内施加,第四时钟信号CK4以向MSB-7分配时间 $T/2$ 的期间内施加,第五时钟信号CK5以向MSB-8分配时间 $T/2$ 的期间内施加,第六时钟信号CK6以向LSB分配时间 $T/2$ 的期间内施加。

[0099] 在第二子帧SF2的数据记录期间DT,可向像素PX内存储器503记录来自数据驱动部125的n比特数据的比特值。即,可向像素PX内存储器503记录图9的第二个6比特数据的比特列101100。

[0100] 在第二子帧SF2的发光时间ET,与6比特数据同步后,可向PWM控制器501施加第一至第六时钟信号CK1至CK6,PWM控制器501以在存储器503中记录的6比特数据的比特值和第一至第六时钟信号CK1至CK6为基础生成PWM信号。

[0101] 第二子帧SF2的第一至第六时钟信号CK1至CK6可以与各自向6比特数据的各比特分配的时间同一时间来施加。例如,第一时钟信号CK1以向MSB分配时间 $T/2$ 的一半 $1/2 \times T/2$ 的期间内施加,第二时钟信号CK2以向MSB-1分配时间 $T/2$ 的一半 $1/2 \times T/2$ 的期间内施加,第三时钟信号CK3以向MSB-2分配时间 $T/2$ 的期间内施加,第四时钟信号CK4以向MSB-4分配时间 $T/2$ 的期间内施加,第五时钟信号CK5以向MSB-5分配时间 $T/2$ 的期间内施加,第六时钟信号CK6以向MSB-6分配时间 $T/2$ 的期间内施加。

[0102] 在各第一子帧SF1和第二子帧SF2,PWM控制器501读取从存储器503到6比特数据的比特值,并将以时钟信号CK的信号宽度及比特数据的比特值为基础控制PWM信号的脉冲宽度。PWM控制器501将以向第一子帧SF1和第二子帧SF2输出的时钟信号CK和比特数据的比特值为基础生成PWM信号PWM。

[0103] 图11是本发明另一实施例的比特数据分割说明图,图12是本发明另一实施例的时钟信号驱动时间说明图。图12是向第一行施加的时钟信号驱动时间。

[0104] 如图11和图12所示,一个帧由三个子帧构成,这里图示了以在各子帧中的10比特数据被分割后生成的三个4比特数据来生成PWM信号的实施例。

[0105] 如图11所示,像素PX的10比特数据的比特列1011100110的最左侧比特的1为MSB,最右侧比特的0为LSB。10比特数据可以用三个4比特数据来分割。第一至第三子帧SF1至SF3之间的时间差异,具体来说通过比特数据组合,可将第一至第三子帧SF1至SF3的发光时间ET差异最小化。

[0106] 第一个4比特数据是10比特数据MSB*/MSB-2*/MSB-4/LSB的组合1110。第二个4比特数据是10比特数据MSB*/MSB-2*/MSB-5/MSB8的组合1101。第三个4比特数据是10比特数据MSB-1/MSB-3/MSB6/MSB-7的组合0101。在此,"*"表示向相关比特分配相当于从10比特数据分配时间的一半 $1/2$ 。即,第一个4比特数据及第二个4比特数据最左侧比特的1指10比特数据第一位MSB的1,是来自于10比特数据相同位置的共同比特,各分配向MSB分配时间的一半。同样,第一个6比特数据及第二个6比特数据第二个左侧比特的1指10比特数据第三个比特MSB-2的1,是来自于10比特数据相同位置的共同比特,各自分配向MSB-2的分配时间的一半。

[0107] 第一个左侧4比特数据是第一子帧SF1的图像数据,第一个中间4比特数据是第二子帧SF2的图像数据,第三个右侧4比特数据是第三子帧SF3的图像数据。

[0108] 如图12所示,像素PX可以用一个帧的每个子帧的数据记录期间DT和发光期间ET来驱动。第一子帧的时间和第二子帧的时间虽然不同,但可以近似。

[0109] 在第一子帧SF1的数据记录期间DT,可向像素PX内存储器503记录来自数据驱动部125的n比特数据的比特值。即,可在像素PX内存储器503记录图11的第一个4比特数据的比特列1110。

[0110] 在第一子帧SF1的发光时间ET,与4比特数据同步后向PWM控制器501施加第一至第四时钟信号CK1至CK4,PWM控制器501可将以在存储器503记录的4比特数据的比特值和第一至第四时钟信号CK1至CK4为基础生成PWM信号。

[0111] 第一子帧SF1的第一至第四时钟信号CK1至CK4可以与各自向4比特数据的各比特分配的时间同一时间来施加。例如,第一时钟信号CK1以向MSB分配时间 $T/2$ 的一半 $1/2 \times T/2$ 的期间内施加,第二时钟信号CK2以向MSB-2分配时间 $T/2^3$ 的一半 $1/2 \times T/2^3$ 的期间内施加,第三时钟信号CK3以向MSB-4分配时间 $T/2^5$ 的期间内施加,第四时钟信号CK4以向LSB分配时间 $T/2^{10}$ 的期间内施加。

[0112] 在第二子帧SF2的数据记录期间DT,可向像素PX内存储器503记录来自数据驱动部125的n比特数据的比特值。即,可在像素PX内存储器503记录图11的第二个4比特数据的比特列1101。

[0113] 在第二子帧SF2的发光时间ET,与4比特数据同步后向PWM控制器501施加第一至第四时钟信号CK1至CK4,PWM控制器501可将以在存储器503记录的4比特数据的比特值和第一至第四时钟信号CK1至CK4为基础生成PWM信号。

[0114] 第二子帧SF2的第一至第四时钟信号CK1至CK4可以与各自向4比特数据的各比特分配的时间同一时间来施加。例如,第一时钟信号CK1以向MSB分配时间 $T/2$ 的一半 $1/2 \times T/2$ 的期间内施加,第二时钟信号CK2以向MSB-2分配时间 $T/2^3$ 的一半 $1/2 \times T/2^3$ 的期间内施加,第三时钟信号CK3以向MSB-5分配时间 $T/2^6$ 的期间内施加,第四时钟信号CK4以向MSB-8分配时间 $T/2^9$ 的期间内施加。

[0115] 在第三子帧SF3的数据记录期间DT,可向像素PX内存储器503记录来自数据驱动部125的n比特数据的比特值。即,可向像素PX内存储器503记录图11的第三个4比特数据的比特列0101。

[0116] 在第三子帧SF3的发光时间ET,与4比特数据同步后向PWM控制器501施加第一至第四时钟信号CK1至CK4,PWM控制器501可将以在存储器503记录的4比特数据的比特值和第一至第四时钟信号CK1至CK4为基础生成PWM信号。

[0117] 第三子帧SF3的第一至第四时钟信号CK1至CK4可以与各自向4比特数据的各比特分配的时间同一时间来施加。例如,第一时钟信号CK1以向MSB-1分配时间 $T/2^2$ 的期间内施加,第二时钟信号CK2以向MSB-3分配时间 $T/2^4$ 的期间内施加,第三时钟信号CK3以向MSB-6分配时间 $T/2^7$ 的期间内施加,第四时钟信号CK4以向MSB-7分配时间 $T/2^8$ 的期间内施加。

[0118] 在各第一至第三子帧SF1至SF3,PWM控制器501读取来自存储器503的4比特数据的比特值,并将以时钟信号CK的信号宽度及比特数据的比特值为基础控制PWM信号的脉冲宽度。PWM控制器501将以由第一至第三子帧(SF1至SF3)输出的时钟信号CK和比特数据的比特值为基础生成PWM信号PWM。

[0119] 图13是本发明另一实施例的比特数据分割说明图,图14是本发明另一实施例的时钟信号驱动时间说明图。图14是向第一行施加的时钟信号驱动时间。

[0120] 如图13和图14所示,一个帧由两个子帧构成,在各子帧中,由10比特数据被分割后生成的两个5比特数据来生成PWM信号。

[0121] 如图13所示,像素PX的10比特数据的比特列1011100110的最左侧比特的1为MSB,最右侧比特的0为LSB。10比特数据可以被两个5比特数据分割。通过多个比特组合,第一子

帧SF1的时间和第二子帧SF2的时间差异,具体来说可将第一子帧SF1的发光时间ET和第二子帧SF2的发光时间ET差异最小化。

[0122] 第一个5比特数据是10比特数据MSB/MSB-6/MSB-7/MSB8/LSB的组合10110。第二个5比特数据是10比特数据MSB-1/MSB2/MSB-3/MSB-4/MSB-5的组合01110。

[0123] 第一个左侧5比特数据是第一子帧SF1的图像数据,第二个右侧5比特数据是第二子帧SF2的图像数据。

[0124] 如图14所示,像素PX可以用一个帧的每个子帧的数据记录期间DT和发光期间ET来驱动。发光期间ET的ON Time指子帧的时间,第一子帧的时间和第二子帧的时间虽然不同,但可以近似。

[0125] 在第一子帧SF1的数据记录期间DT,可向像素PX内存储器503记录来自数据驱动部125的n比特数据的比特值。即,可在像素PX内存储器503记录图13的第一个5比特数据的比特列10110。

[0126] 在第一子帧SF1的发光时间ET,与5比特数据同步后向PWM控制器501施加第一至第五时钟信号CK1至CK5,PWM控制器501将以在存储器503记录的5比特数据的比特值和第一至第五时钟信号CK1至CK5为基础生成PWM信号。

[0127] 第一子帧SF1的第一至第五时钟信号CK1至CK6可以与各自向5比特数据的各比特分配的时间同一时间来施加。例如,第一时钟信号CK1以向MSB分配时间T/2的期间内施加,第二时钟信号CK2以向MSB-6分配时间T/27的期间内施加,第三时钟信号CK3以向MSB-6分配时间T/28的期间内施加,第四时钟信号CK4以向MSB-7分配时间T/28的期间内施加,第五时钟信号CK5以向LSB分配时间T/210的期间内施加。

[0128] 在第二子帧SF2的数据记录期间DT,可向像素PX内存储器503记录来自数据驱动部125的n比特数据的比特值。即,可在像素PX内存储器503记录图13的第二个5比特数据的比特列01110。

[0129] 在第二子帧SF2的发光时间ET,与5比特数据同步后向PWM控制器501施加第一至第五时钟信号CK1至CK5,PWM控制器501将以在存储器503记录的5比特数据的比特值和第一至第五时钟信号CK1至CK5为基础生成PWM信号。

[0130] 第二子帧SF2的第一至第五时钟信号CK1至CK5可以各自与向5比特数据的各比特分配的时间同一时间来施加。例如,第一时钟信号CK1以向MSB-1分配时间T/22的期间内施加,第二时钟信号CK2以向MSB-2分配时间T/23的期间内施加,第三时钟信号CK3以向MSB-3分配时间T/24的期间内施加,第四时钟信号CK4以向MSB-4分配时间T/25的期间内施加,第五时钟信号CK5以向MSB-5分配时间T/26的期间内施加。

[0131] 在各第一子帧SF1和第二子帧SF2,PWM控制器501从存储器503读取5比特数据的比特值,并将以时钟信号CK的信号宽度及比特数据的比特值为基础控制PWM信号的脉冲宽度。PWM控制器501将以向第一子帧SF1和第二子帧SF2输出的时钟信号CK和比特数据的比特值为基础生成PWM信号PWM。

[0132] 在图9至图14实施例中,PWM控制器501如比特值为1时,可以输出具备相当于时钟信号CK宽度的脉冲。PWM控制器501如比特值为0时不予输出相当于时钟信号CK宽度的脉冲。在另一实施例中,PWM控制器501如比特值为1时,不予输出相当于时钟信号CK宽度的脉冲,如比特值为0时输出具备相当于时钟信号CK宽度的脉冲宽度脉冲。

[0133] 发光元件ED在一个帧期间,根据PWM信号脉冲输出可以发光或非发光。发光元件ED在脉冲输出开启时可以在与脉冲宽度相对应的时间内发光。发光元件ED可以在相当于脉冲输出被关闭的时间内非发光。

[0134] 本发明的实施例可以和微型LEDmicro LED显示装置来构成。

[0135] 本发明的实施例的像素包括转换电流驱动电流源的像素电路,转换信号可以通过表现灰度(色阶)的时间信号和数字数据组合来生成。

[0136] 本发明的实施例的像素,可在一个帧内的多数子帧分割保存数字数据,以减少每像素所需的存储器比特数。

[0137] 本发明的实施例在像素内具备存储器,因此可以进行电流驱动,并在固定图像中驱动部只需向像素部传达单纯的驱动脉冲,从而可以有效减少耗电量。

[0138] 本发明的实施例通过PWM驱动可以在低色阶使用高偏置电流,由此可以确保各像素间优异的匹配特性,即便是小像素尺寸也可实现高色深(Color Depth)。

[0139] 本发明的实施例通过数字批处理可以设置伽玛值,并保持伽玛值的情况下,利用电流镜像电路可以简单地调整亮度。

[0140] 本发明的实施例通过构成以低电压晶体管为主的电路,可以实现高分辨率micro LED显示装置。

[0141] 本发明参考附图所示的一实施例进行了说明,但这仅是举例说明而已,在该技术领域掌握通常知识的人应该理解可以对此进行各种变形和均等的其它实施例。因此,本发明的真正的保护范围应该只在申请范围内被确定。

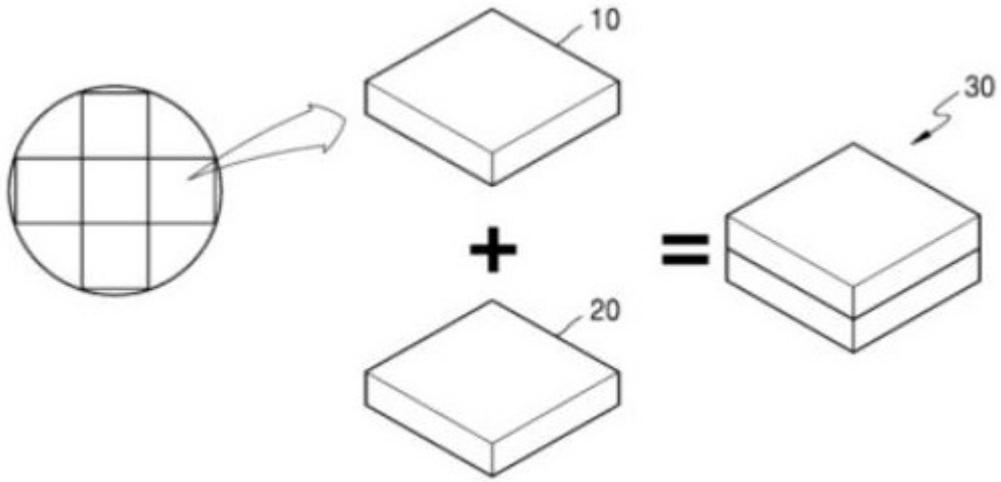


图1

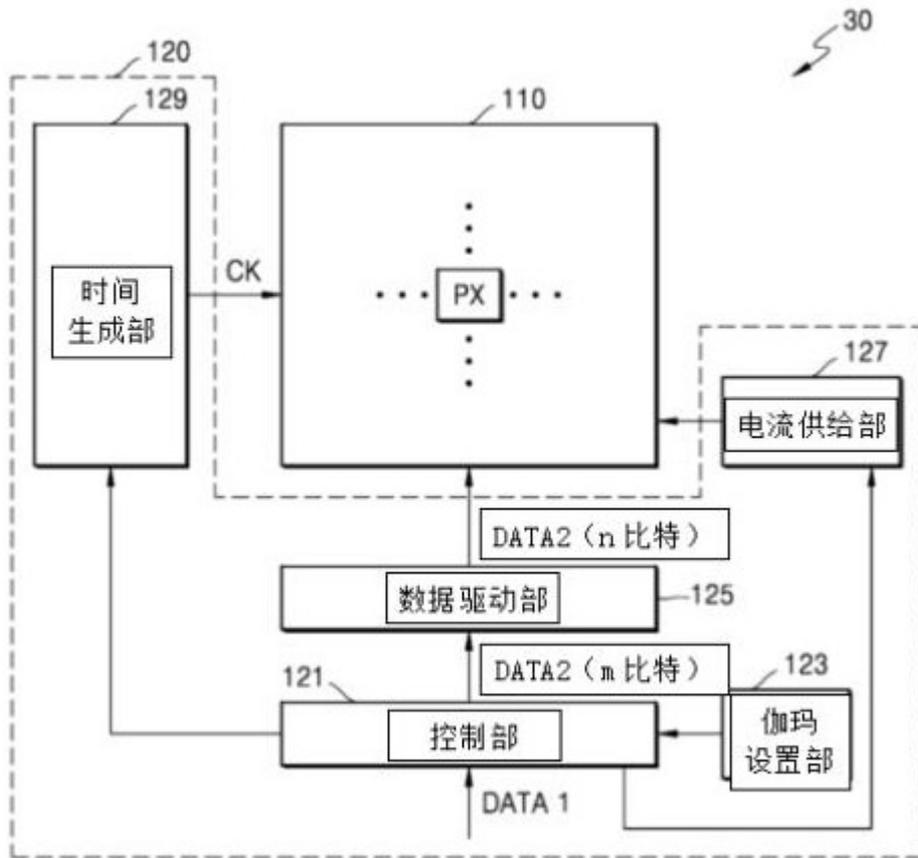


图2

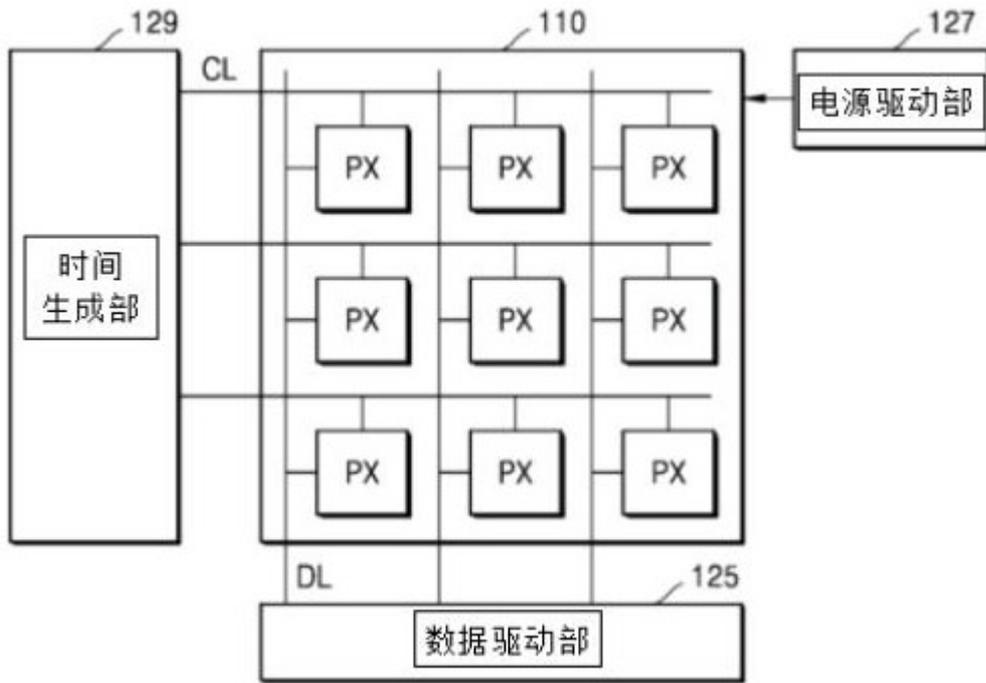


图3

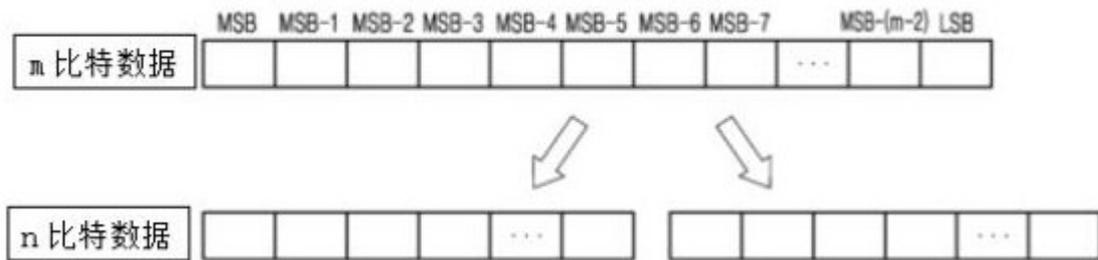


图4

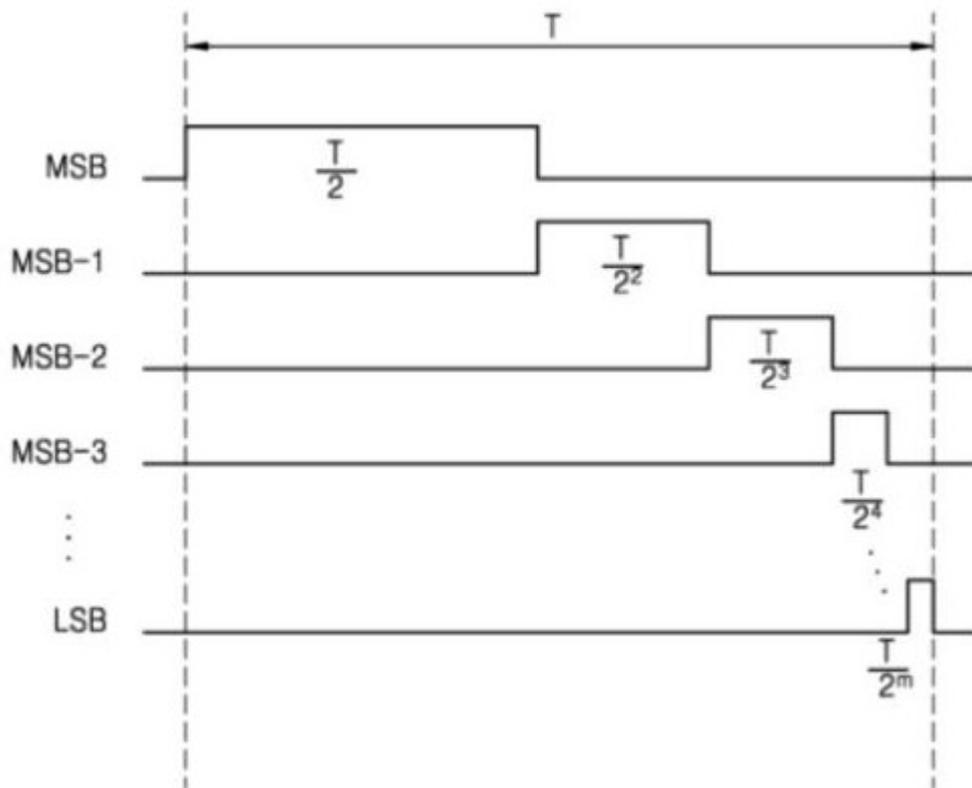


图5

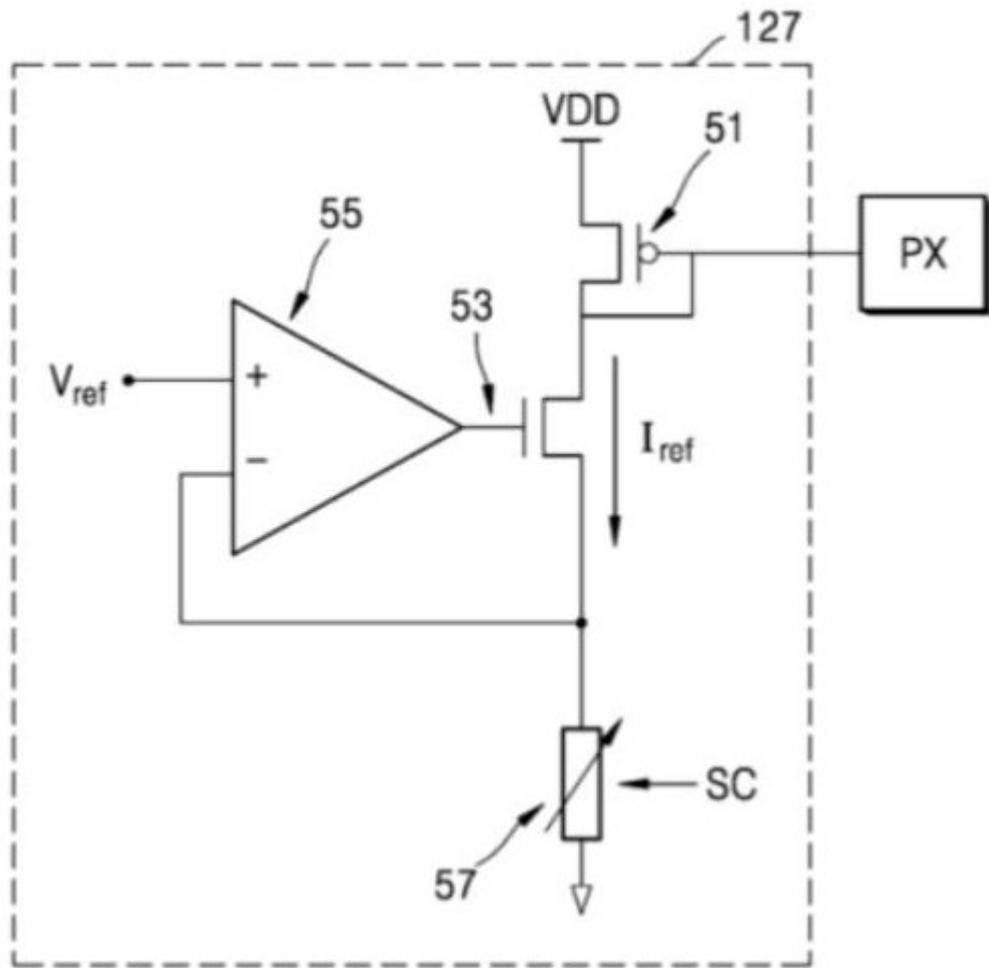


图6

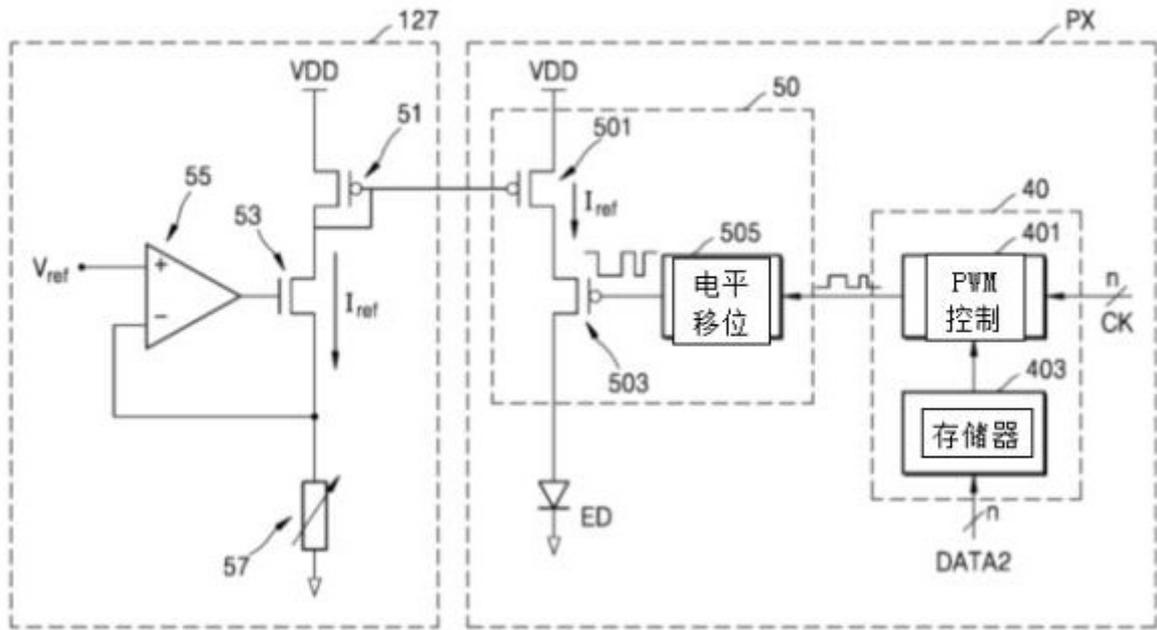


图7

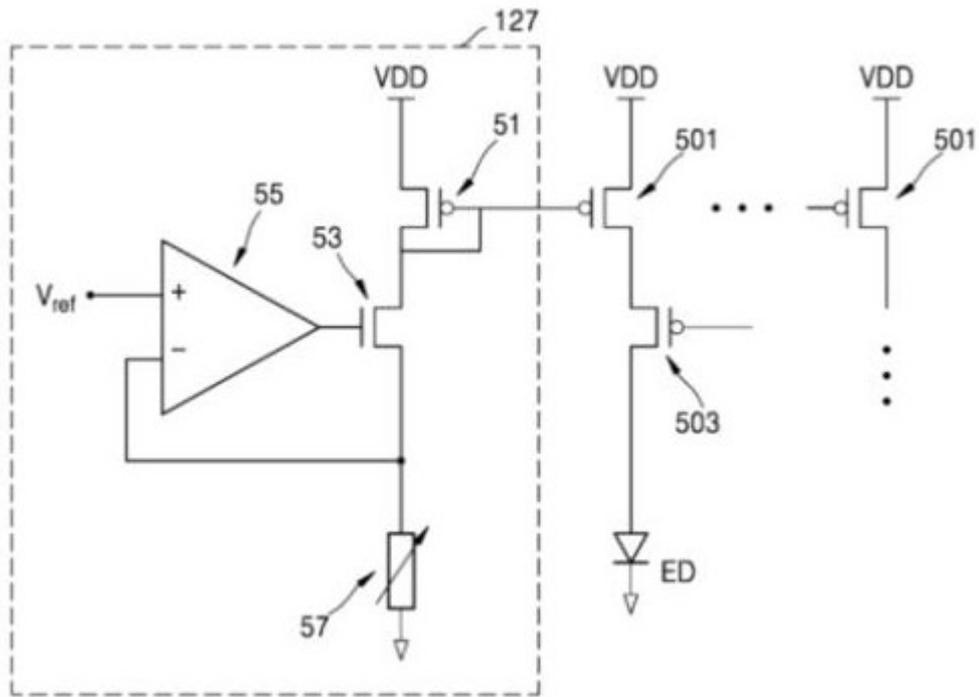


图8

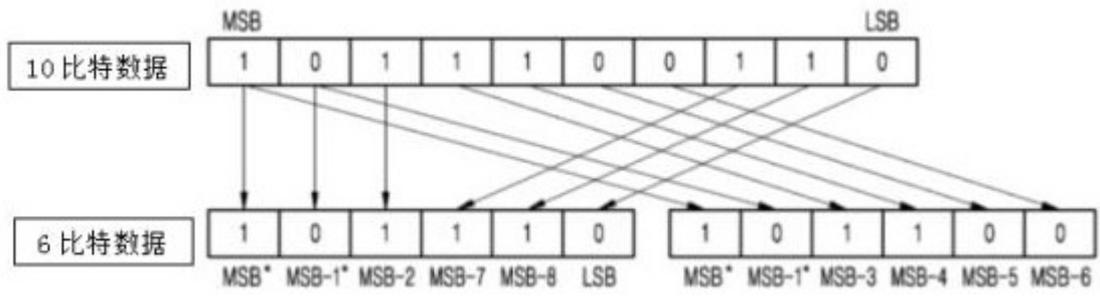


图9

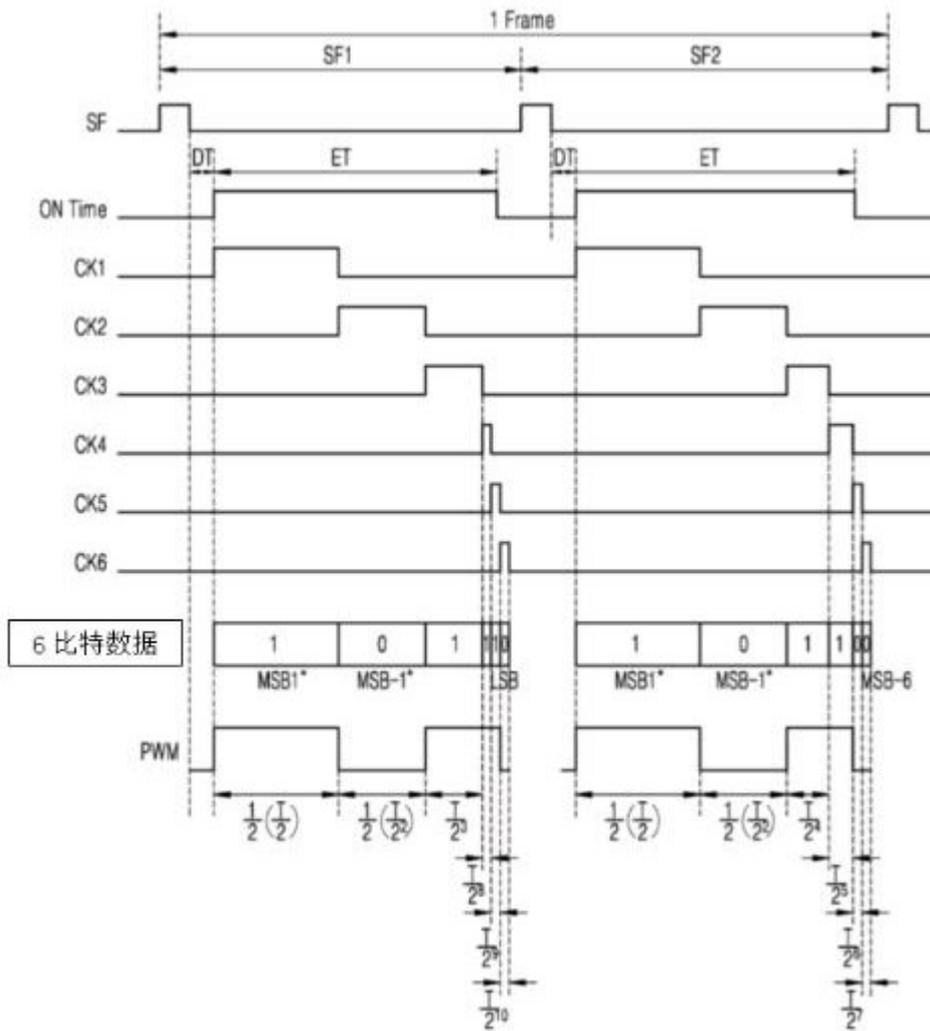


图10

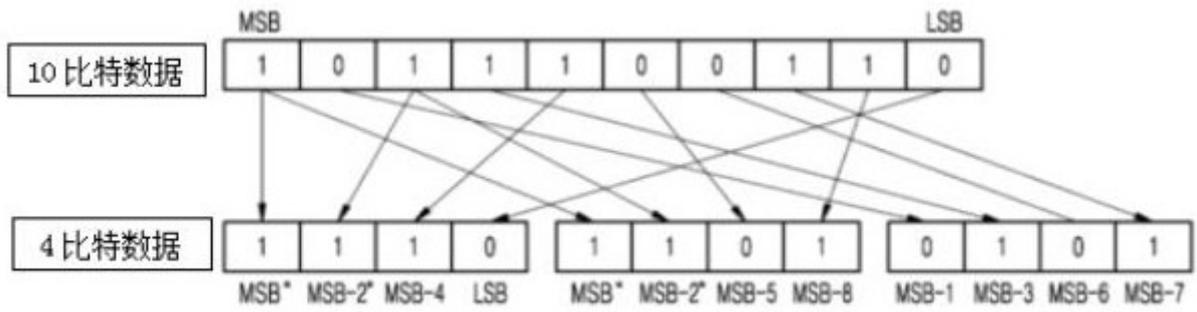


图11

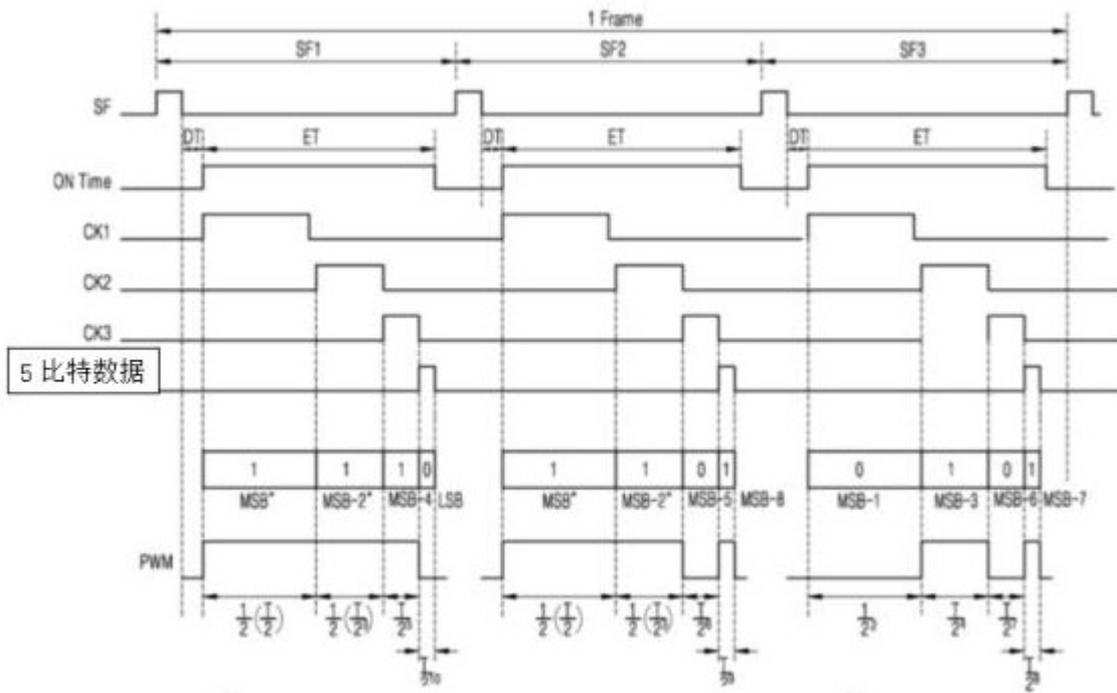


图12

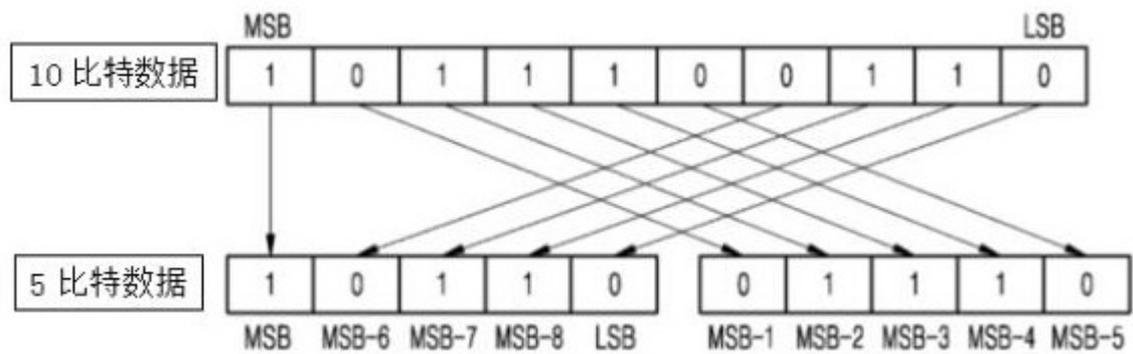


图13

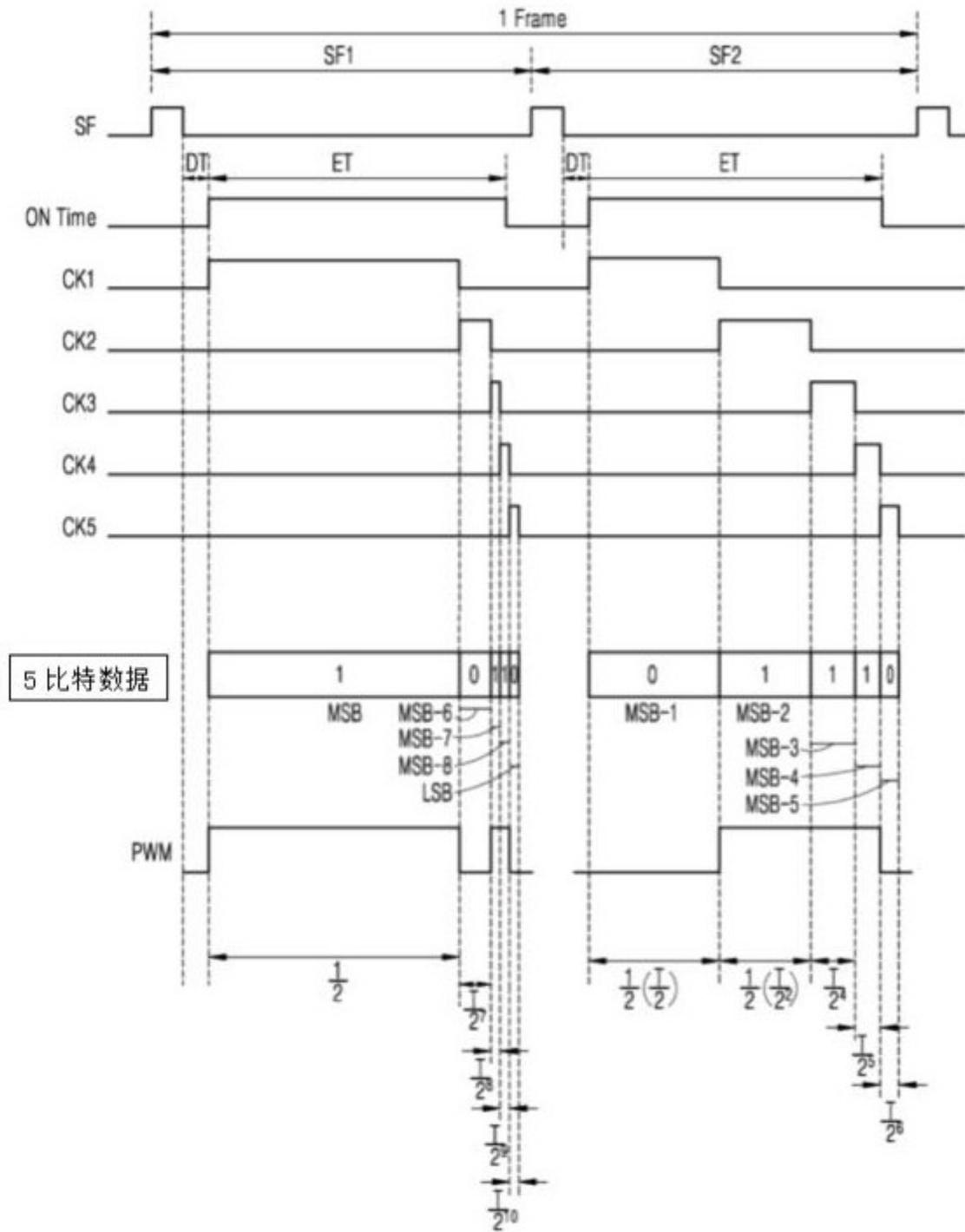


图14

专利名称(译)	一种像素及包括此像素的micro LED显示装置		
公开(公告)号	CN111179819A	公开(公告)日	2020-05-19
申请号	CN202010109311.7	申请日	2020-02-22
[标]发明人	陈廷仰 廖志洋		
发明人	陈廷仰 廖志洋		
IPC分类号	G09G3/32		
代理人(译)	高辉		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种像素，包括第一像素电路和第二像素电路。第一像素电路包括：包括发光元件和与所述发光元件相连接的像素电路，构成一个帧的多数子帧各自包括数据记录期间和发光期间，所述像素电路在各子帧上记录所述数据期间，在构成m比特数据的比特列的m个比特中，与相比m个更小的n个比特组合生成的多数n比特数据的比特列中，接收和保存对应比特列的存储器；和在各子帧的所述发光期间，包括所述被保存的对应比特列的n个比特值和基于n个时钟信号生成控制信号的控制信号器。本发明micro LED显示装置不仅节能，同时具备良好匹配特性的，同时可将micro LED显示装置各子帧之间的时间差最小化，以实现小尺寸像素电路。

